



## NS4225 用户手册 V1.0

深圳市纳芯威科技有限公司

2014年08月



## 目 录

1	功能说明 .....	5
2	主要特性 .....	5
3	应用领域 .....	5
4	典型应用电路.....	5
5	极限参数 .....	6
6	电气特性 .....	7
7	芯片管脚描述.....	8
7.1	NS4225 管脚分配图 .....	8
7.2	NS4225 引脚功能描述 .....	8
8	NS4225 典型参考特性.....	9
9	NS4225 应用说明.....	10
9.1	芯片基本结构描述 .....	10
9.2	低功耗关断控制端/SD .....	11
9.3	并联BTL输出设置端PBTL .....	11
9.4	NS4225 应用图示 .....	12
9.4.1	差分输入BTL输出立体声模式.....	12
9.4.2	单端输入BTL输出立体声模式.....	12
9.4.3	差分输入PBTL输出单声道模式.....	13
9.4.4	单端输入PBTL输出单声道模式.....	13
9.5	NS4225 应用参数设置 .....	14
9.5.1	放大器增益设置 .....	14
9.5.2	输入电容Ci的选取.....	14
9.5.3	电源去耦电容 .....	15
9.6	输出滤波器 .....	15
9.7	layout建议 .....	16
9.8	测试电路 .....	16
10	芯片的封装.....	17

## 图 目 录

图 1 NS4225 典型应用电路 .....	6
图 2 NS4225 管脚分配图(top view) .....	8
图 3 NS4225 原理框图 .....	10
图 4 /SD管脚设置 .....	11
图 5 PBTL管脚设置 .....	11
图 6 差分输入BTL输出立体声模式 .....	12
图 7 单端输入BTL输出立体声模式 .....	12
图 8 差分输入PBTL输出单声道模式 .....	13
图 9 单端输入PBTL输出单声道模式 .....	13
图 10 输入高通网络 .....	14
图 11 输入高通滤波器曲线 .....	14
图 12 输出端加磁珠应用图 .....	15
图 13 负载为 8Ω,转折频率为 27kHz的LC输出滤波器 .....	15
图 14 负载为 4Ω,转折频率为 27kHz的LC输出滤波器 .....	16
图 15 NS4225 测试电路 .....	16
图 16 TSSOP-24 封装尺寸图 .....	17

## 表 目 录

表 1 芯片最大物理极限值 .....	6
表 2 NS4225 电气特性 .....	7
表 3 NS4225 管脚描述 .....	8

## 1 功能说明

NS4225 是一款无需滤波器，每声道可输出 25W 的 D 类立体声音频功率放大器。NS4225 采用先进的技术，在全带宽范围内极大地降低了 EMI 干扰，最大限度地减少对其他部件的影响。其输出无需滤波器的 PWM 调制结构减少了外部元件、PCB 面积和系统成本。NS4225 工作在 PBTL 模式时，即为一单声道音频功放。此时，输出驱动能力更强，功放效率更高。

NS4225 内置过流保护、过热保护及欠压保护功能，有效地保护芯片在异常工作状况下不被损坏。

NS4225 提供 TSSOP-24 封装，额定的工作温度范围为 -40℃ 至 85℃。

## 2 主要特性

- 输出功率：10W×2(8Ω 负载/ VCC=12V/ THD+N=10%/ BTL 模式)  
17W×2(4Ω 负载/ VCC=12V/ THD+N=10%/ BTL 模式)  
20W(4Ω 负载/ VCC=12V/ THD+N=10%/ PBTL 模式)  
23W×2(8Ω 负载/ VCC=18V/ THD+N=10%/ BTL 模式)  
46W(4Ω 负载/ VCC=18V/ THD+N=10%/ PBTL 模式)
- 推荐工作电压：6V~18V
- PBTL 输出功率
- 无需滤波器设计
- 差分输入方式
- 效率高达 94%( 8Ω 负载/VCC=12V/Po=8W×2)
- 优异的“上电，掉电”噪声抑制
- 过流保护、过热保护、欠压保护
- TSSOP-24 封装

## 3 应用领域

- 蓝牙音响
- 扩音器
- 其他消费类音频设备

## 4 典型应用电路

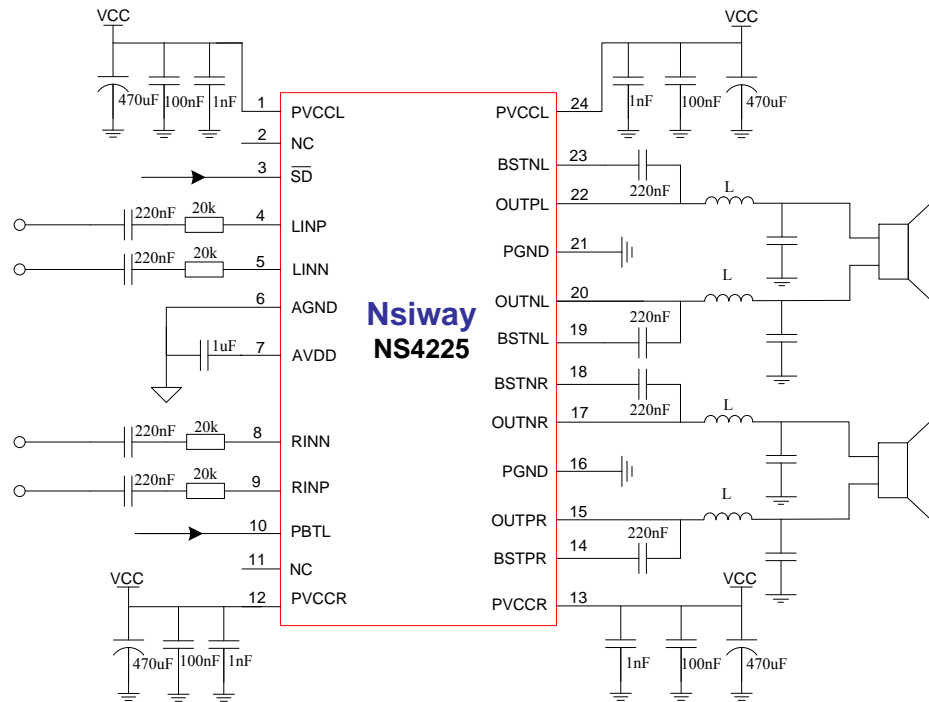


图1 NS4225 典型应用电路

## 5 极限参数

表1 芯片最大物理极限值

参数	最小值	最大值	单位	说明
电源电压	6	20	V	
/SD	-0.3	5	V	
PBTL	-0.3	5	V	
LINP	-0.3	5	V	
LINN	-0.3	5	V	
RINP	-0.3	5	V	
RINN	-0.3	5	V	
储存温度	-65	150	°C	
耐 ESD 电压	2000		V	
结温	150		°C	
推荐工作温度	-40	85	°C	
热阻				
$\theta_{JC}$		33	°C/W	
$\theta_{JA}$		30	°C/W	
焊接温度		220	°C	15 秒内

注：在极限值之外或任何其他条件下，芯片的工作性能不予保证。

## 6 电气特性

 限定条件:  $T_A=25^{\circ}\text{C}$ ,  $V_{CC}=12\text{V}$ ,  $R_L=8\ \Omega$  (除非特殊说明)

表2 NS4225 电气特性

符号	参数	测试条件	最小值	标准值	最大值	单位
$V_{DD}$	推荐工作电压		6		18	V
$I_{DD}$	电源静态电流	$V_{IN}=0\text{V}$ , No load		35		mA
$I_{SD}$	关断漏电流	$V_{SD}=0\text{V}$		1		$\mu\text{A}$
$V_{OS}$	输出失调电压	$V_{IN}=0\text{V}$ , Gain=20dB		20		mV
PSRR	电源抑制比	217Hz		-65		dB
		20KHz		-60		dB
CMRR	共模抑制比			-70		dB
$f_{SW}$	调制频率			280		kHz
$\eta$	效率	$P_o=8\text{W} \times 2, R_L=8\ \Omega$		94		%
$V_{IH}$	逻辑控制端 高电平		2.8			V
$V_{IL}$	逻辑控制端 低电平				0.4	
$P_o$	输出功率	THD=1%,BTL $f=1\text{KHz}, R_L=8\ \Omega, V_{CC}=12\text{V}$		8		W
		THD=10%,BTL $f=1\text{KHz}, R_L=8\ \Omega, V_{CC}=12\text{V}$		10		W
		THD=1%,PBTL $f=1\text{KHz}, R_L=4\ \Omega, V_{CC}=12\text{V}$		16		W
		THD=10%,PBTL $f=1\text{KHz}, R_L=4\ \Omega, V_{CC}=12\text{V}$		20		W
		THD=1%,BTL $f=1\text{KHz}, R_L=4\ \Omega, V_{CC}=12\text{V}$		14		W
		THD=10%,BTL $f=1\text{KHz}, R_L=4\ \Omega, V_{CC}=12\text{V}$		17		W
		THD=1%,BTL $f=1\text{KHz}, R_L=8\ \Omega, V_{CC}=18\text{V}$		18		W
		THD=10%,BTL $f=1\text{KHz}, R_L=8\ \Omega, V_{CC}=18\text{V}$		23		W
		THD=1%,PBTL $f=1\text{KHz}, R_L=4\ \Omega, V_{CC}=18\text{V}$		36		W
		THD=10%,PBTL $f=1\text{KHz}, R_L=4\ \Omega, V_{CC}=18\text{V}$		46		W
THD+N	总失真度+噪声	Gain=20dB, $f=1\text{kHz}$ $R_L=8\ \Omega, P_o=4\text{W}$		0.06		%
SNR	信噪比	Gain=20dB, $f=1\text{kHz}$ $R_L=8\ \Omega, P_o=8\text{W}$		90		dB
$V_n$	输出噪声	20Hz-20kHz, Gain=20dB		270		$\mu\text{V}$

CS	L/R 分离度	Gain=20dB, f=1kHz R <sub>L</sub> =8 Ω, P <sub>o</sub> =8W		-90		dB
OTP	热保护温度			150		°C
OTH	滞回温度			20		°C

注：测试各项参数时，保证芯片良好的散热环境而未过热保护。

## 7 芯片管脚描述

### 7.1 NS4225 管脚分配图

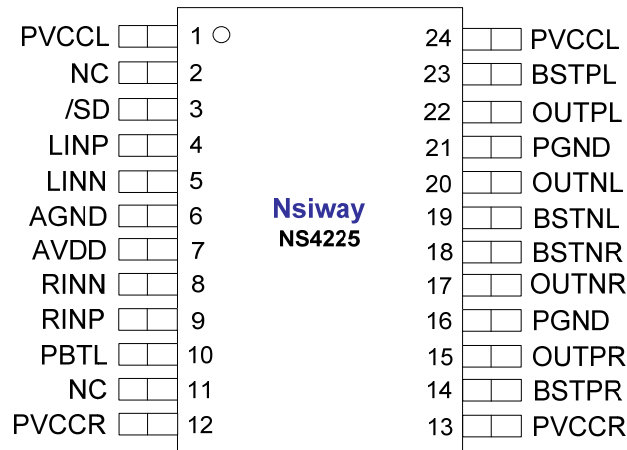


图2 NS4225 管脚分配图(top view)

### 7.2 NS4225 引脚功能描述

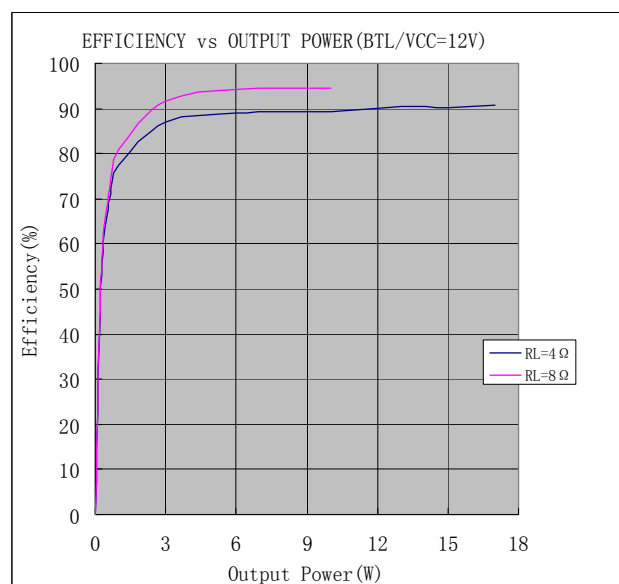
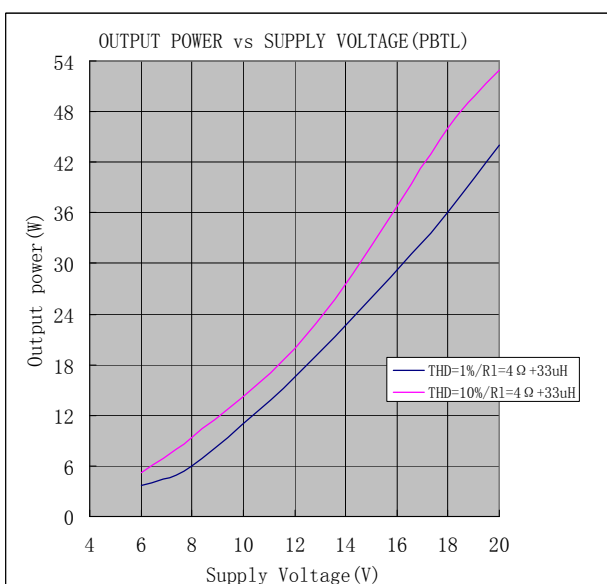
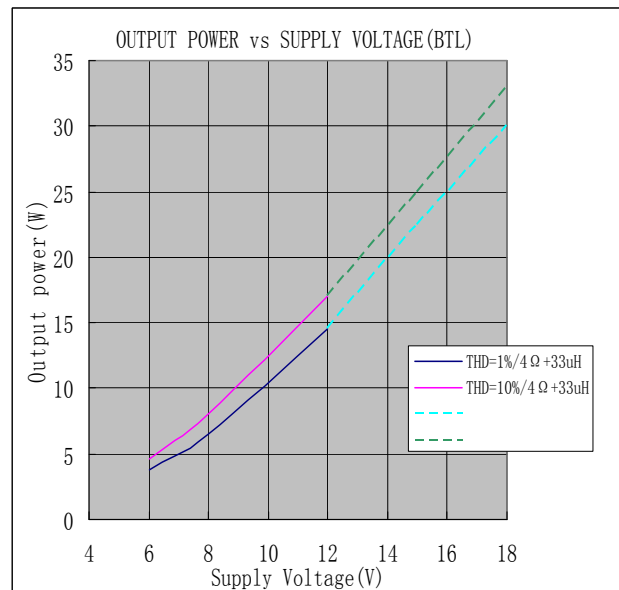
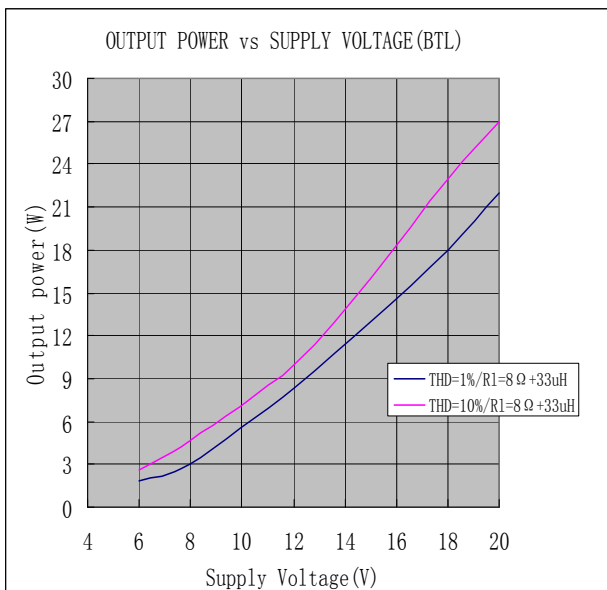
表3 NS4225 管脚描述

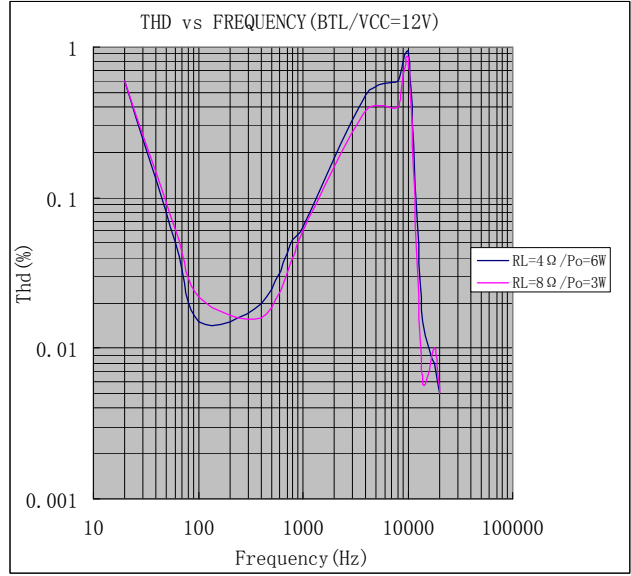
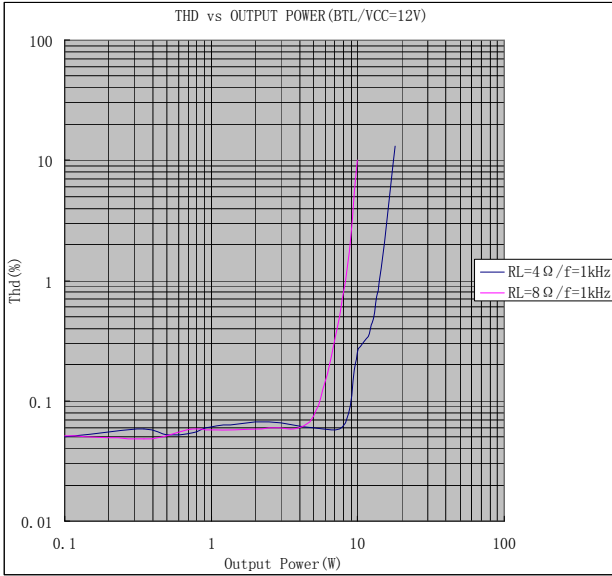
符号	管脚号	描述
PVCCL	1,24	左声道功率电源输入
NC	2	空脚
/SD	3	关断控制端(高电平开启, 低电平关断)
LINP	4	放大器左声道正输入端
LINN	5	放大器左声道负输入端
AGND	6	模拟地
AVDD	7	内部 LDO 外接去耦电容
RINN	8	放大器右声道负输入端
RINP	9	放大器右声道正输入端
PBTL	10	并联 BTL(PBTL)模式控制端
NC	11	空脚
PVCCR	12,13	右声道功率电源输入
BSTPR	14	右声道正半桥自举端
OUTPR	15	放大器右通道正输出端
PGND	16	功率地
OUTNR	17	放大器右通道负输出端
BSTNR	18	右声道负半桥自举端
BSTNL	19	左声道负半桥自举端



符号	管脚号	描述
OUTNL	20	放大器左通道负输出端
PGND	21	功率地
OUTPL	22	放大器左通道正输出端
BSTPL	23	左声道正半桥自举端

## 8 NS4225 典型参考特性





## 9 NS4225 应用说明

### 9.1 芯片基本结构描述

NS4225 是一款无需滤波器，高效率的双声道 D 类音频功放。其原理框图如下：

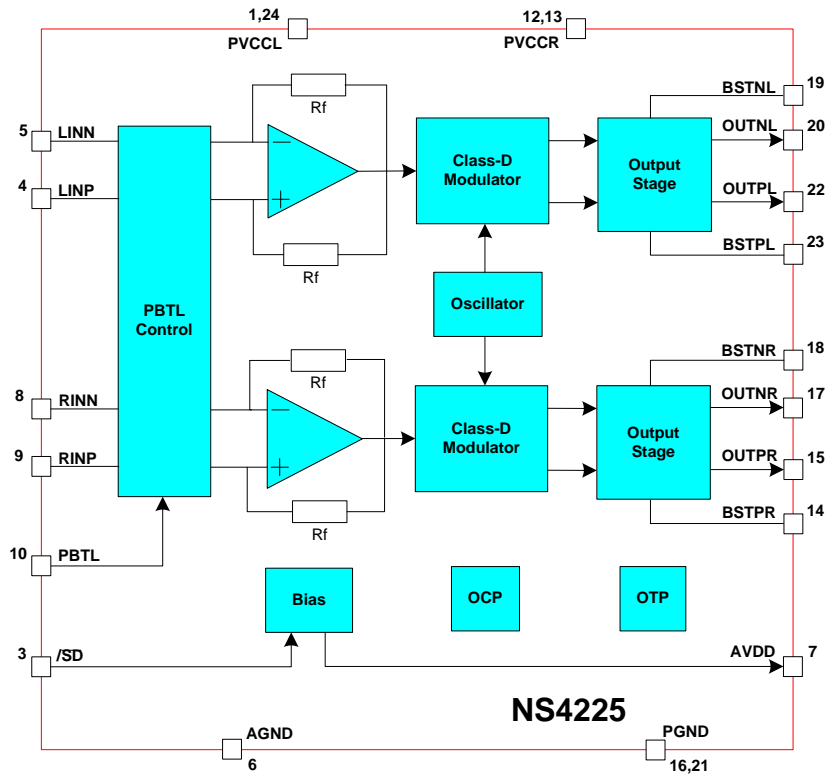


图3 NS4225 原理框图

## 9.2 低功耗关断控制端/SD

/SD 管脚是功放低功耗关断控制端。低电平时音频功放关闭，芯片处于低功耗状态；高电平时音频功放打开，芯片开启工作。/SD 管脚内部有下拉 100k 电阻，悬空时处于关断状态。为了抑制开关机 POP 声，开机时，应该在相关系统上电稳定后才打开/SD 管脚。之前，/SD 管脚应保持关断状态；关机时，应该在功放电源关闭之前使/SD 管脚为低电平，芯片处于关断状态，最后才关闭电源。

/SD 管脚状态	放大器工作状态
高电平	Power ON
低电平	SHUT DOWN
悬空	SHUT DOWN

图4 /SD 管脚设置

## 9.3 并联BTL输出设置端PBTL

NS4225在 PBTL管脚为高电平的时，放大器工作在并联BTL输出的单声道工作模式。此时，它的输入为右声道输入，输出为左声道的正端和负端，右声道的正端和负端并接驱动负载。芯片工作在PBTL模式时，对单个负载而言，放大器具有更高输出功率和效率。PBTL为低电平时，放大器工作在正常的BTL输出立体声模式。PBTL管脚内部有下拉100k电阻，悬空时为低电平。具体应用见下文图示。

PBTL 管脚状态	放大器工作状态
高电平	PBTL
低电平	BTL
悬空	BTL

图5 PBTL 管脚设置

## 9.4 NS4225 应用图示

### 9.4.1 差分输入BTL输出立体声模式

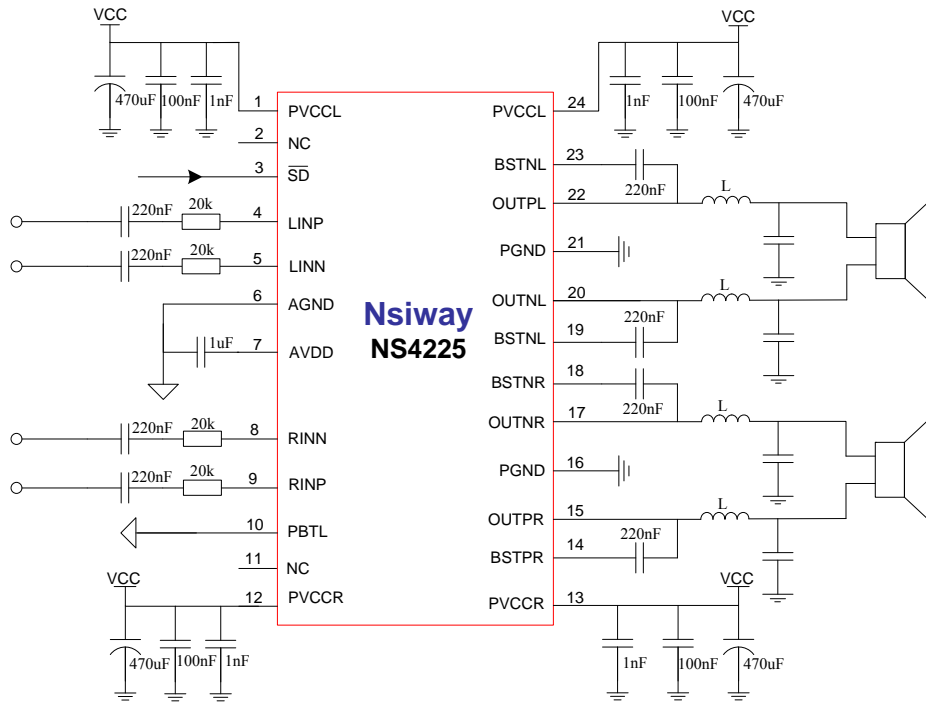


图6 差分输入 BTL 输出立体声模式

### 9.4.2 单端输入BTL输出立体声模式

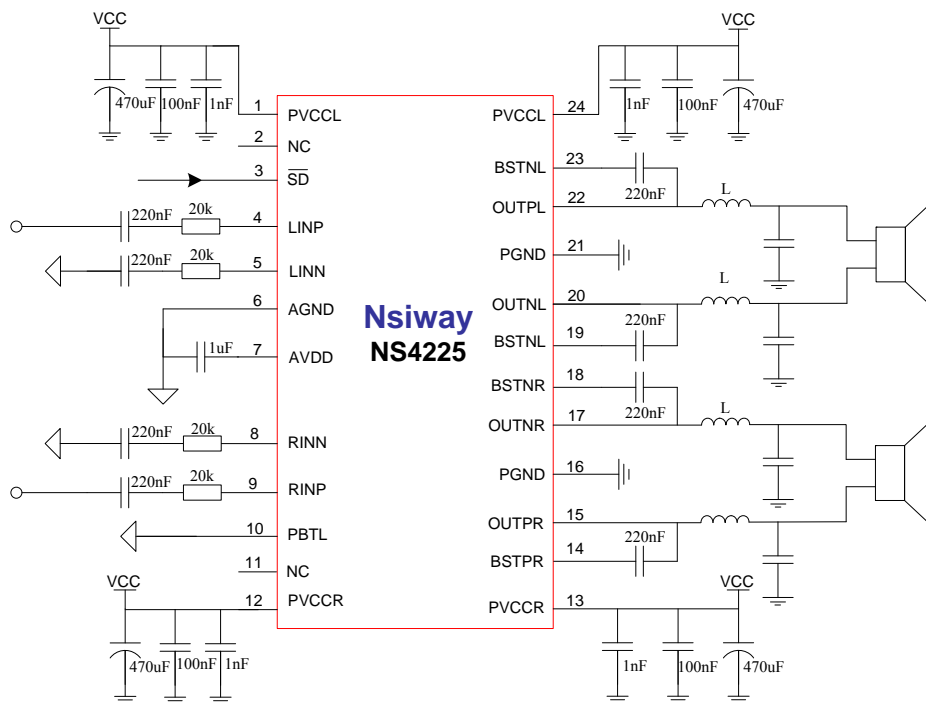


图7 单端输入 BTL 输出立体声模式

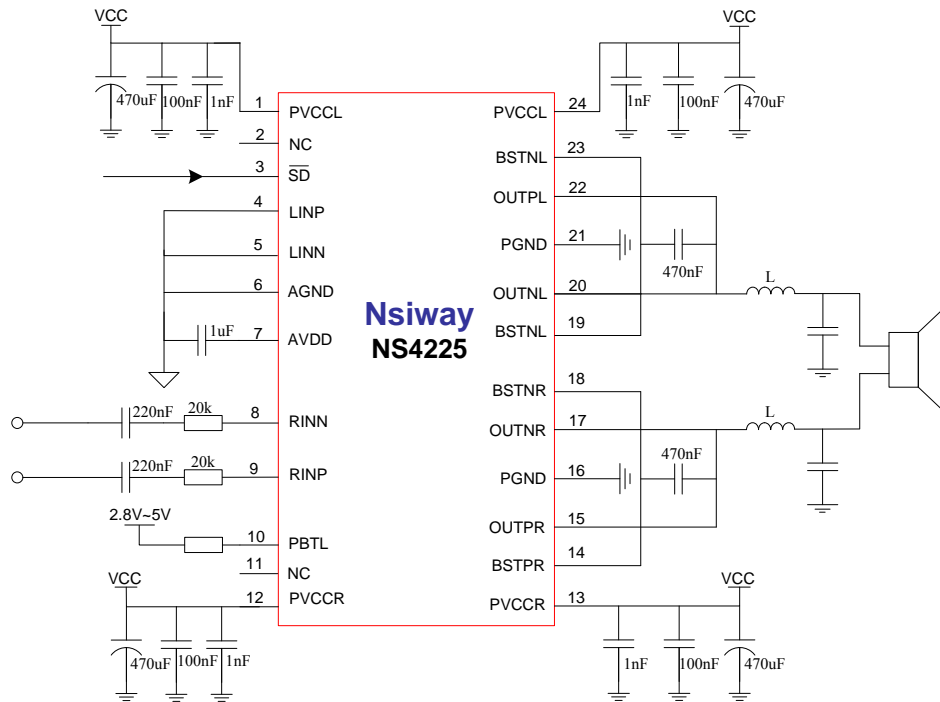
**9.4.3 差分输入PBTL输出单声道模式**


图8 差分输入 PBTL 输出单声道模式

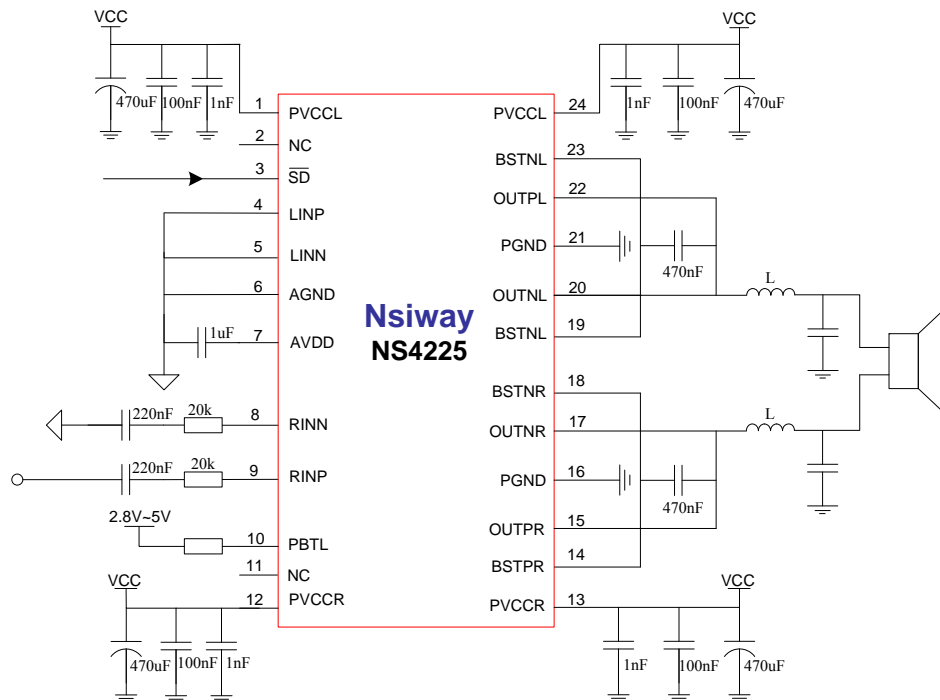
**9.4.4 单端输入PBTL输出单声道模式**


图9 单端输入 PBTL 输出单声道模式

## 9.5 NS4225 应用参数设置

### 9.5.1 放大器增益设置

NS4225 内置 270k 反馈电阻。整个放大器的增益计算公式为：

$$A_v = 270k/R_i \quad R_i \text{ 为外接输入电阻}$$

270k 为芯片内部反馈电阻值, 最大偏差为  $\pm 10\%$ 。

例如  $R_i = 20k$ ,  $A_v = 13.5$  倍 (22.6dB)。

### 9.5.2 输入电容 $C_i$ 的选取

外接输入电容  $C_i$  和输入电阻  $R_i$  构成输入高通滤波器。-3dB 转折频点计算公式为：

$$f_c = 1/(2\pi \times R_i \times C_i)$$

图示如下：

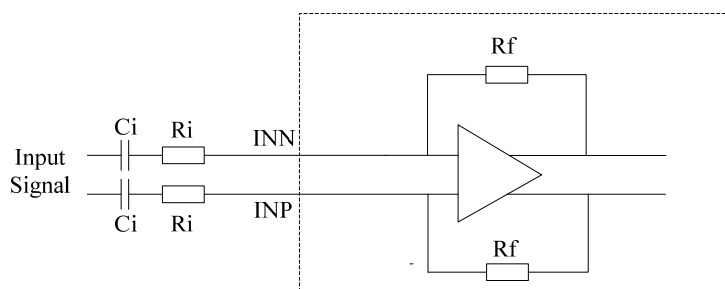


图10 输入高通网络

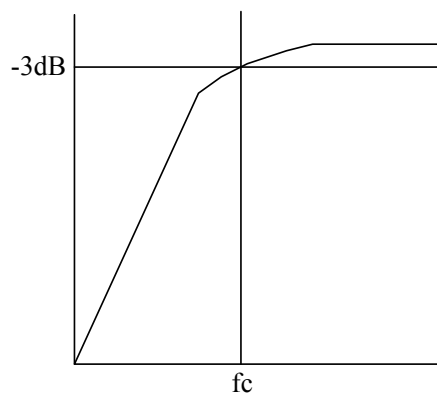


图11 输入高通滤波器曲线

增益固定，也就输入阻抗确定了之后。输入隔直电容  $C_i$  的选取尤为重要。一个方面，容值直接影响放大器的低频特性。另一方面，开关机 POP 声的抑制性能受电容的影响，如果耦合电容大，则反馈网络的延迟大，pop 声容易出现。小的耦合电容可以减少该噪声。因此，输入电容  $C_i$  的选取要兼顾这两个方面。比如，增益为 22.6dB，输入阻抗为 20k，-3dB 转折点  $f_c$  取 36Hz，由上计算公式得  $C_i = 0.22\mu F$ 。

### 9.5.3 电源去耦电容

NS4225 是一款高性能的音频功率放大器。因此，适当的电源去耦电容能够保证功放输出的总谐波失真（THD）足够低。电源去耦同样也能消减脉冲对扬声器的干扰。针对电源线上不同类型的噪声可适当的选择不同的电容去耦网络。对于由于电路自身寄生参数如键合线和铜痕电感甚至于引线框架电感等所敏感的瞬态高频噪声，可以用一个高质量的低等效串接电阻（ESR）的陶瓷电容（容值在 220pF 到 1000pF）去耦。该电容应该尽量靠近放大器的功率管脚，当然，接地也要好。对于有滤波器谐振或 PWM 开关甚至于一个随机的数字信号造成的低频噪声，可以用一个高质量容值在 0.1uF 到 1uF 电容去耦。该电容最好能尽量靠近功率电源。另外，一个 470uF 或者更大的铝电解电容可对大信号瞬态干扰去耦。该电容应当靠近功率电源脚接入。

### 9.6 输出滤波器

NS4225 在大功率及长的输出负载线等各种情况下带磁珠滤波器的测试，NS4225 模组都可通过 FCC 的 B 级测试。磁珠的类型及规格可根据实际使用选择。如下图：

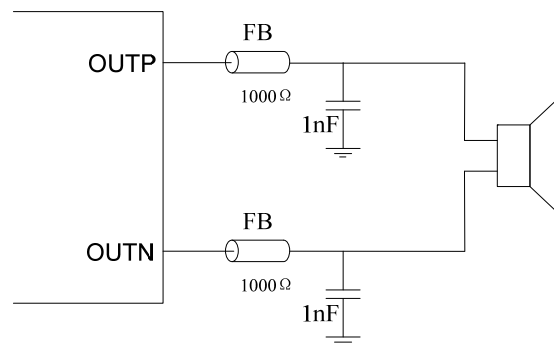


图12 输出端加磁珠应用图

如果放大器应用于对噪声要求比较苛刻的系统中，输出可以考虑串接LC滤波器。滤波器的相关参数如下图示：

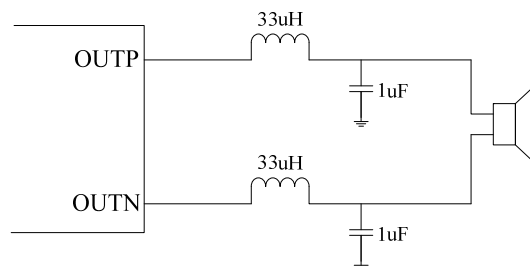


图13 负载为 8Ω,转折频率为 27kHz 的 LC 输出滤波器

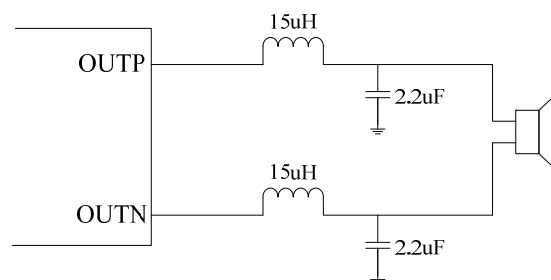


图14 负载为  $4\Omega$  ,转折频率为 27kHz 的 LC 输出滤波器

## 9.7 layout建议

在大多数使用中，NS4225 使用的磁珠滤波器就能满足要求。然而，D类功放的开关边沿变化十分迅速，因此，在 layout 的过程中需要仔细考虑。针对噪声以及系统的电磁兼容（EMC）要求，以下是几点建议：

1. 针对不同噪声源以及干扰相应电源去耦电容要预留。电容尽可能靠近管脚放置。
2. 输出电流环路尽量小。无论是磁珠或者电感和电容构成的滤波器尽可能的靠近输出管脚。此部分电路尽可能远离敏感信号线和电路。
3. 地线走线：AVDD 去耦电容应当接在 AVDD 与 AGND 之间；PVCC 去耦电容应当接在 PVCC 与 PGND 之间。然后 AGND 和 PGND 可接在散热片 PAD 上引出。
4. 散热片应当合理的焊接在 PCB 板的散热区域内。

## 9.8 测试电路

NS4225 测试电路如下图，测量 D 类模式功放时，低通滤波器(Low PASS Filter)是必须的。可以用两个  $33\mu\text{H}$  的电感串联在负载电阻两端以等效扬声器。如果只采用纯电阻代替扬声器负载，所测到的结果会比扬声器做负载时结果差，包括功率，效率，失真度等指标。

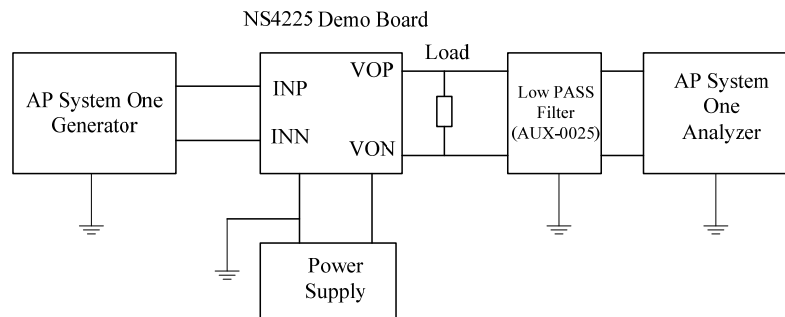
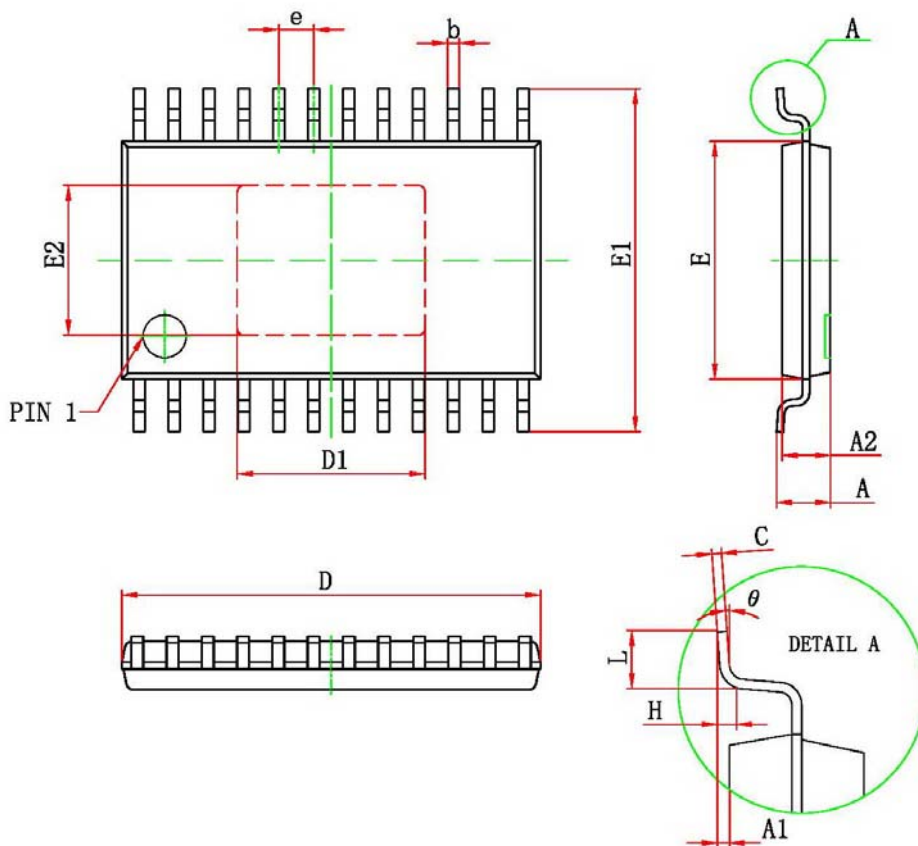


图15 NS4225 测试电路



**10 芯片的封装**
**TSSOP24/PP PACKAGE OUTLINE DIMENSIONS**


Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
D	7.700	7.900	0.303	0.311
D1	3.950	4.150	0.156	0.163
E	4.300	4.500	0.169	0.177
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
E1	6.250	6.550	0.246	0.258
E2	2.750	2.950	0.108	0.116
A		1.100		0.043
A2	0.800	1.000	0.031	0.039
A1	0.020	0.150	0.001	0.006
e	0.65 (BSC)		0.026 (BSC)	
L	0.500	0.700	0.020	0.028
H	0.25(TYP)		0.01(TYP)	
$\theta$	1°	7°	1°	7°

图16 TSSOP-24 封装尺寸图

声明：深圳市纳芯威科技有限公司保留在任何时间，并且没有通知的情况下修改产品资料和产品规格的权利，本手册的解释权归深圳市纳芯威科技有限公司所有，并负责最终解释。